

CIRCUITE SECVENTIALE ASINCRONE CU FUNCTIONARE ÎN REGIM IMPULS – PULSE MODE CIRCUITS

Mihai Timis, Alexandru Valachi

Universitatea Tehnica “Gh. Asachi” Iasi
Facultatea de Automatica si Calculatoare
Catedra Calculatoare

mtimis@cs.tuiasi.ro, avalachi@cs.tuiasi.ro

Keywords: Asynchronous Sequential System, Level Signal, Pulses Signals, Master-Slave, Latches, R-S, digital logic, ModelSim, VHDL.

Abstract - In this paper we propose to present the Pulse Mode implementation method for asynchronous sequential systems. On the system input we have digital level input signals and pulses signals inputs. During the pulses inputs are generated, the digital level input signal must remain constant (1 or 0). If it changes value during the pulses occurrences, the system may fail. To generate de pulses signals we use relays switchers. The proposed algorithm can be successfully implemented in vending machines automata.

I. INTRODUCERE

Un caz tipic de sistem secvential asincron îl reprezinta automatul finit în care variabilele de intrare sunt de doua tipuri: statice si puls. Variabila de tip puls este echivalenta cu clock-ul sistemelor secventiale sincrone. De exemplu : o masina de vândut diverse obiecte (tigari, ciocolata, bauturi, etc.) în care monedele introduse produc pulsul ce controleaza selectia si eliberarea produsului. Voi numi aceste circuite, ce au una sau mai multe intrari de tip puls, ca circuite secventiale în modul – puls sau circuite secventiale cu clock multiplu.

II. CIRCUITE SECVENTIALE CU CLOCK MULTIPLU – PULSE MODE CIRCUITS

Fie sistemul cu variabilele :

$x = \{x_{r-1}, \dots, x_0\}$ - vectori de intare de tip „nivel”

$p = \{p_{q-1}, \dots, p_0\}$ - vectori de intrare de tip „puls” (1)

$y = \{y_{n-1}, \dots, y_0\}$ - vector de stare

$z = \{z_{m-1}, \dots, z_0\}$ - vector de iesire

Un sistem implementat de exemplu cu CBB-D, este ilustrat în figura 1.

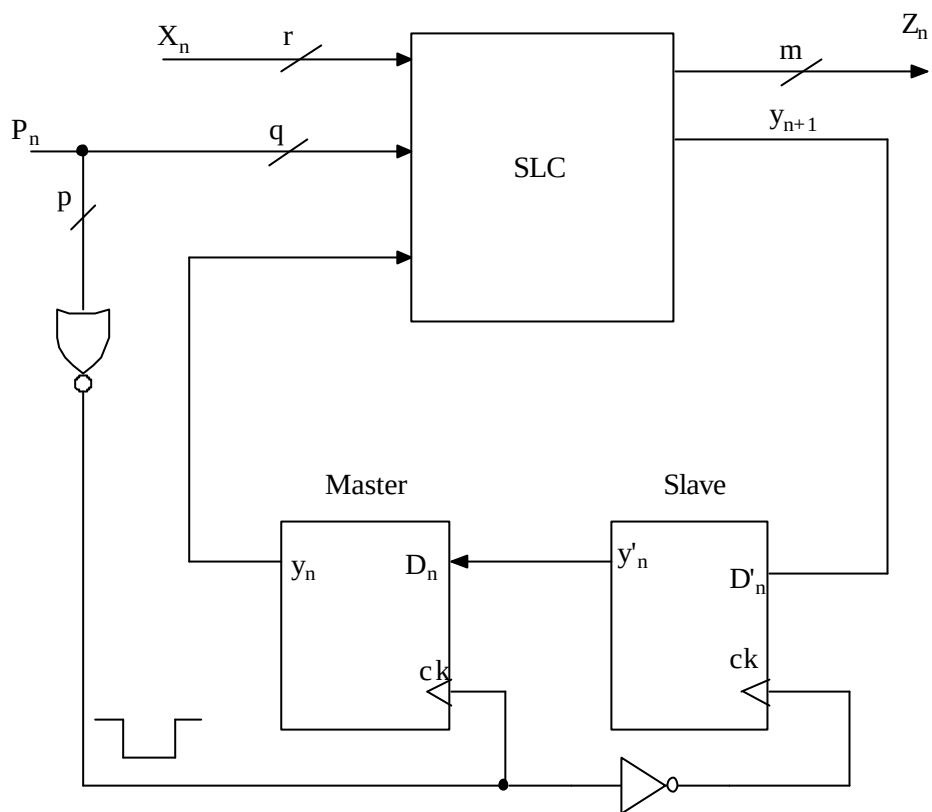


Figura 1. Sistem Secvential Asincron - Pulse Mode

Circuitele notate cu M, S sunt CBB-D tip LATCH, adica active pe palier (nivel), al clock-ului CK_i, în cazul nostru nivel High.

Se impune faptul ca la un moment dat, doar una din variabilele (P_j) este activata (prezinta „puls”).

Deci,

$$\sum_{j=0}^{q-1} P_j = 0 \text{ sau} \quad (2)$$

$$\sum_{j=0}^{q-1} P_j = 1 \text{ cu } P_i \cdot P_k = 0, i \neq k, P_i = 1$$

Structura din figura 1 se poate implementa cu CBB R-S sau CBB J-K ca CBB tip LATCH, figura 2.

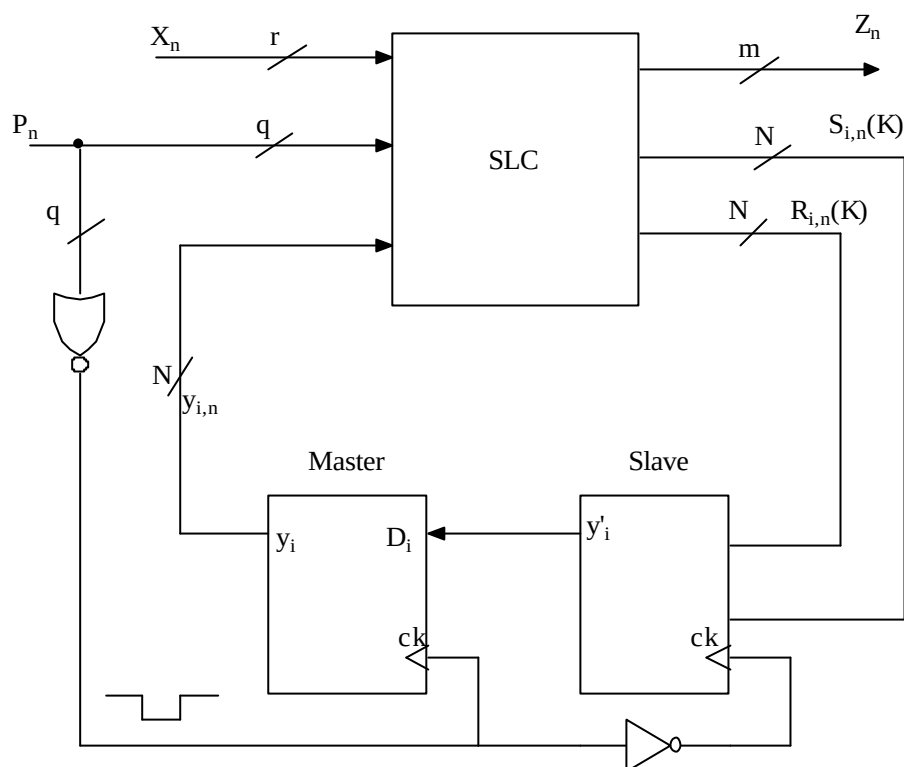


Figura 2. Pulse Mode Design

O diagrama posibila pentru o implementare cu CBB R-S este ilustrata în figura 3. Se presupune vectorul X , construit pe durata aplicarii pulsului.

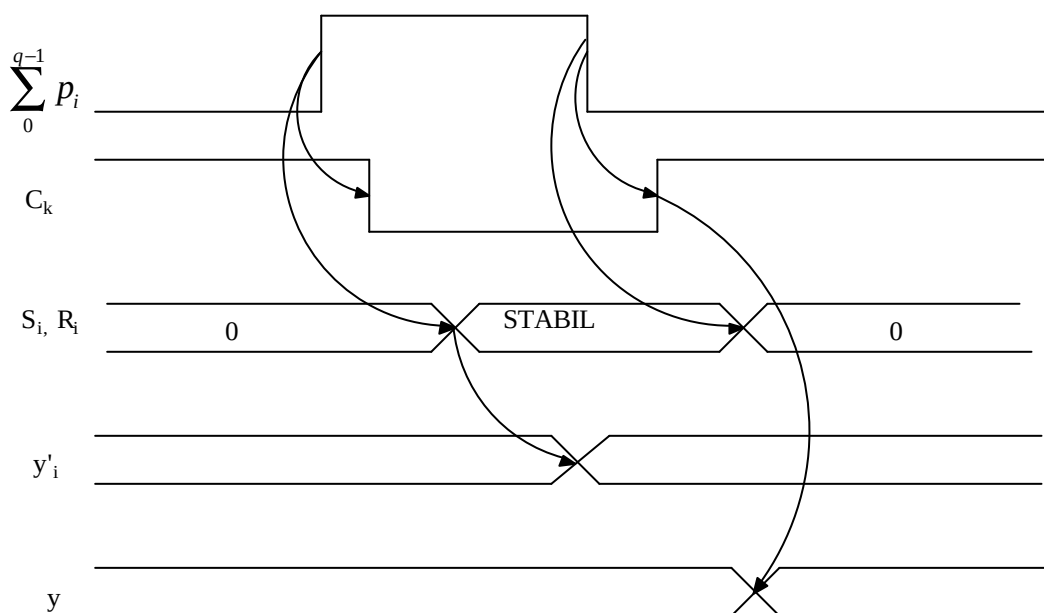


Figura 3. Diagrama De Timp

De regula S_i, R_i sunt inactive pe timpul cât ($\sum p_i = 0$), adica variabilele (y'_i) sunt constante. S-au introdus cele doua CBB-uri notate cu M, S pentru ca durata „pulsului” sa nu mai depinda de timpii de propagare prin (SLC) si de basculare ale circuitelor CBB.

Deci, tinând cont de ecuatia (2), se obtin relatiile:

$$\begin{aligned} R_i &= \sum_{j=0}^{p-1} P_j \cdot a_{i,j}(x, y)_n \\ S_i &= \sum_{j=0}^{p-1} P_j \cdot b_{i,j}(x, y)_n \\ Z_k &= \sum_{j=0}^{p-1} P_j \cdot g_{i,j}(x, y)_n \end{aligned} \quad (4)$$

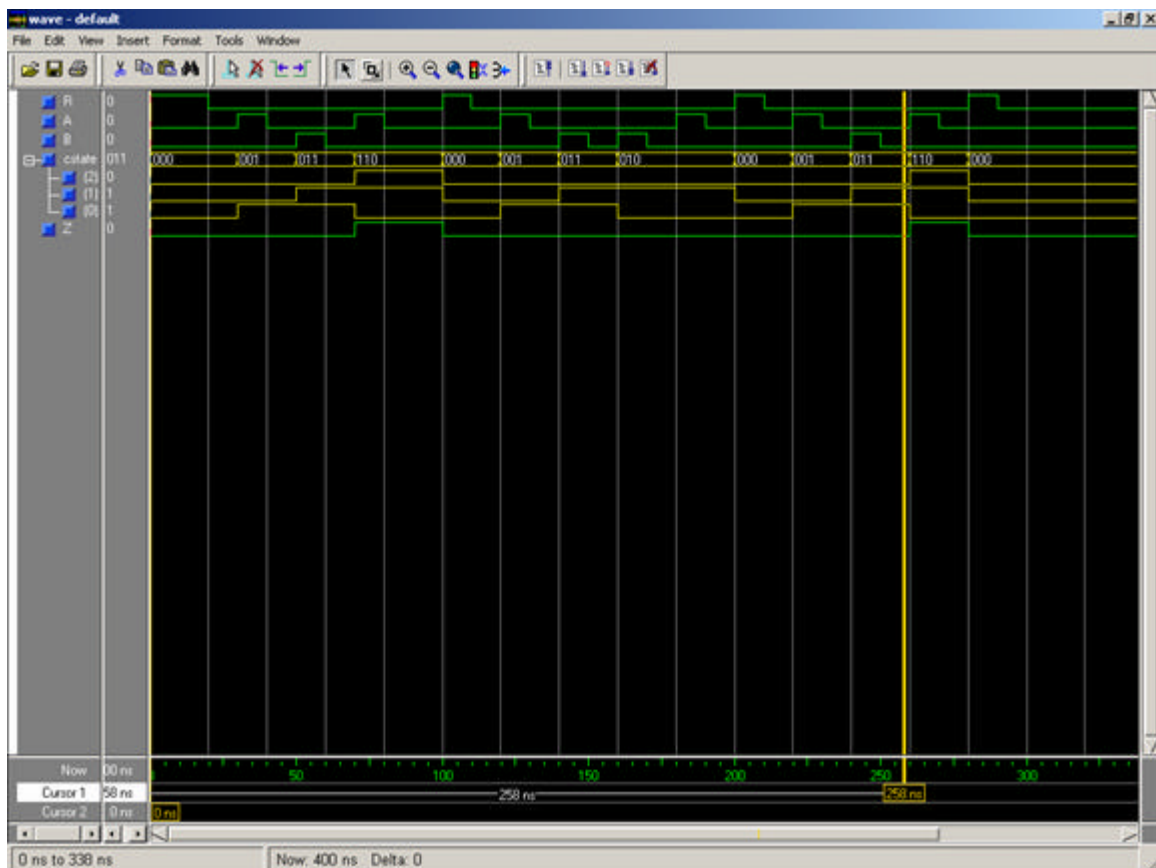
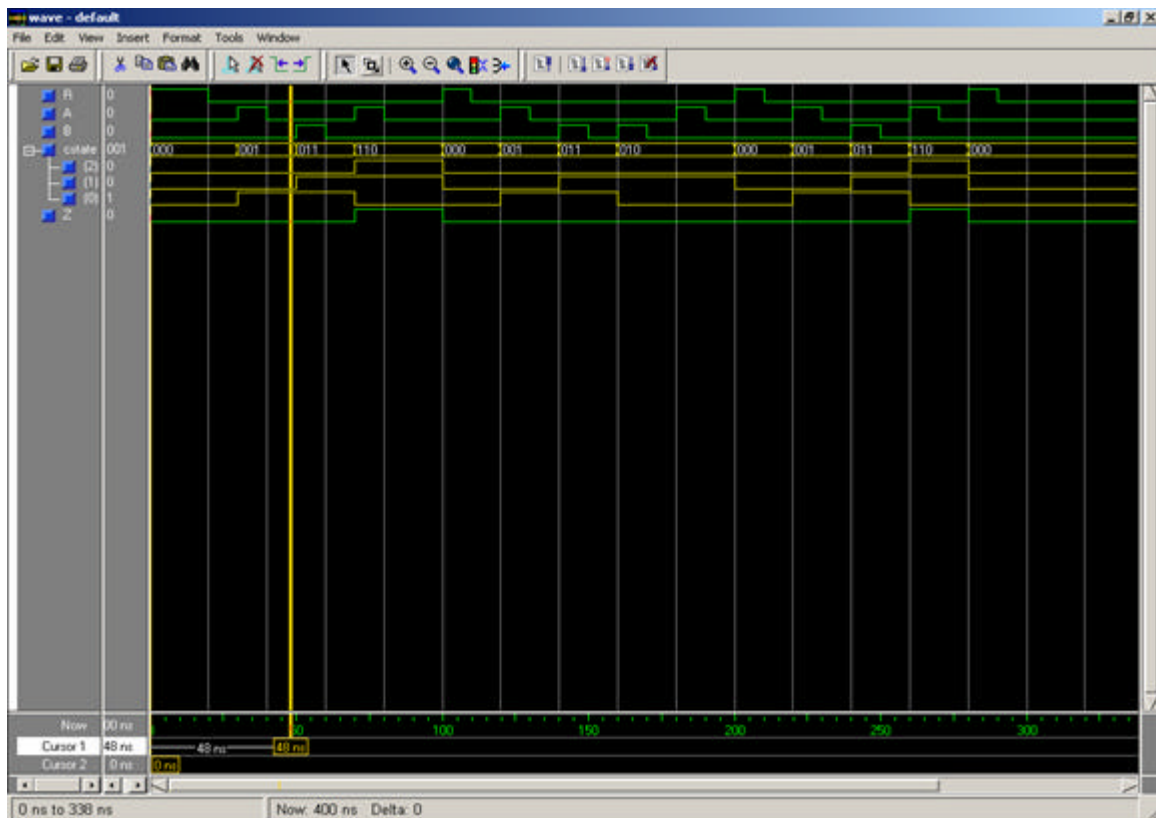
Ultima relatie din (4) defineste un automat Mealy.

Daca se doreste implementarea cu automat Moore, relatiile (4) devin (5).

$$\begin{aligned} R_i &= \sum_{j=0}^{p-1} P_j \cdot a_{i,j}(x, y)_n \\ S_i &= \sum_{j=0}^{p-1} P_j \cdot b_{i,j}(x, y)_n \\ Z_k &= \sum_{j=0}^{p-1} P_j \cdot g_{i,j}(y)_n \end{aligned} \quad (5)$$

Din cauza numeroaselor probleme ce apar în mod normal în domeniul ingineriei necesitând iesirile unui sistem sa fie controlate de schimbarile momentane la intrari, voi analiza în continuare conceptul de baza al unui circuit secvential asincron functionând în regim pulse-mode.

Pentru a demonstra functionarea unui sistem secvential asincron în regim pulse-mode, voi face în continuare analiza si sinteza a unui sistem ce detecteaza secventa de intrare R A B A R. În momentul detectiei acestei secvente, valoarea iesirii devine $z=1$. Evident semnalele de intrare sunt asincrone, nu sunt sincronizate cu nici un semnal de tact-clock. Figura 4 prezinta diagramele de timp în cazul implementarii unui sistem secvential asincron folosind semnale de tip puls – pulse mode. Este vorba despre un semafor digital cu doua leduri ($z_1=1$ daca ledul verde este ON, $z_0=1$ daca ledul rosu este ON).



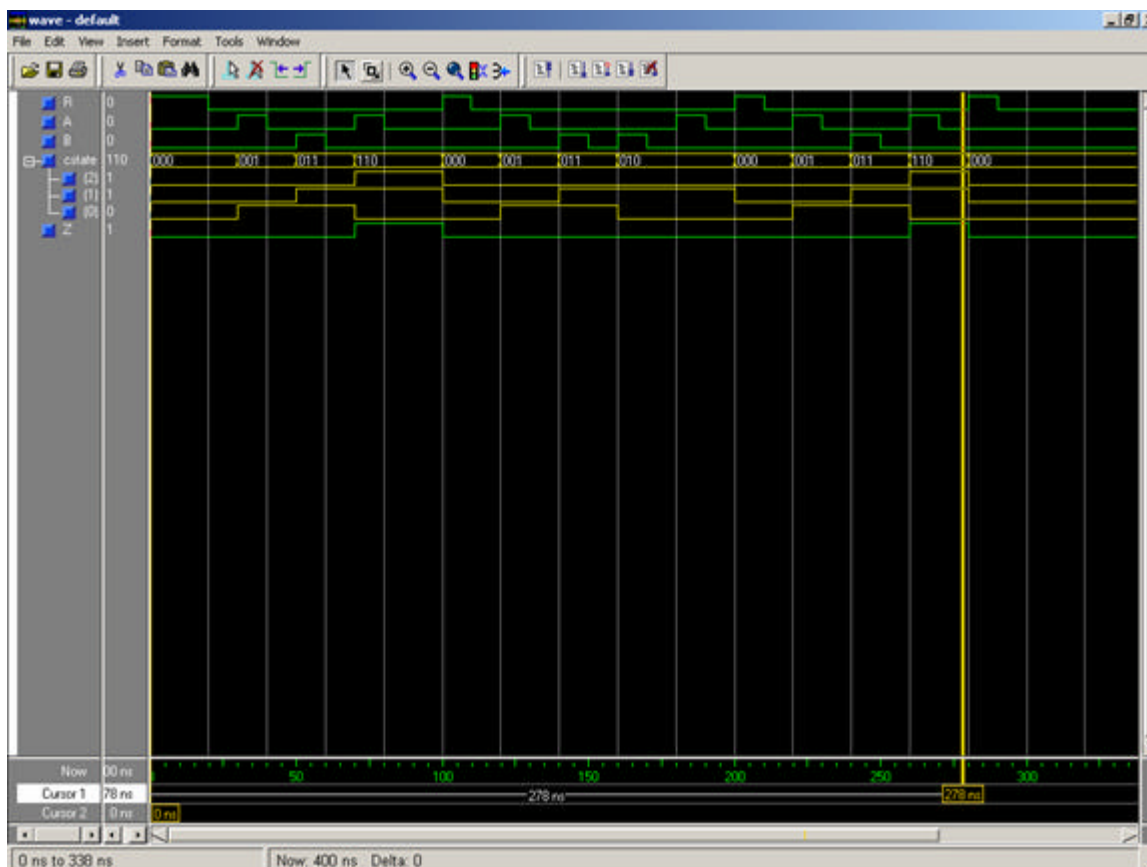


Figura 4. Diagrame Time Sistem Asincron

III. CONCLUZII

Dupa cum se observa din diagramele de timp, fiecare tranzitie este realizata într-o anumita perioada de timp specifica, sistemul parcurgând corect toate starile, în functie de valorile semnalelor de intrare (nivel si puls).

Noua metoda de sinteza propusa poate fi aplicata cu success la orice sistem secvential care poseda semnale ce se genereaza aleator, nivel sau/si pulse, sistemul parcurgând toate starile conform grafului de fluenta sau a organigramei algoritmului, designul întregului sistem fiind asincron. În concluzie, pot afirma faptul ca sistemul secvential asincron propus, functioneaza corect, ceea ce întareste originalitatea si validitatea metodei propuse.

IV. REFERINTE

- [1]. Alexandru Valachi, Radu Silion, Mihai Timis. Improvement Of FSM Synthesis Using MSI And LSI Circuits. Advances in Electrical and Computer Engineering. Universitatea "Stefan cel Mare" Suceava, Volume 5 (12), Number 1 (23).
- [2]. Alexandru Valachi, Mihai Timis. Several Timing Parameters For Multifunctional Digital Circuits. The 8th International Conference On Development And Application Systems (DAS), Suceava, Electrical Engineering Department "Stefan cel Mare" University Suceava, 2006.

- [3]. Alexandru Valachi, Radu Silion, Mihai Timis. Improvement of FSM Synthesis using MSI and LSI circuits. The 8th International Symposium on Automatic Control and Computer Science, Iasi, 2004.
- [4] Cl..Seitz. Graph representations for logical machines. PhD thesis, MIT, Jan 1971.
- [5] Eric G. Mercer. Petri nets. Correctness and Reduction in Timed Circuit Analysys. Electrical and Computer Engineering of Utah, dec. 2002.
- [6] Jordi Cortadella, L. Lavagno, A. Yakolev. Hardware Design and Petri Nets. Advanced Tutorial. Department of Computer Science University of AARHUS, Danemark, June 2000.
- [7] Mihai Timis. Analiza si Sinteza Dispozitivelor Numerice. Aplicatii. Editura Performantica, Iasi 2003.
- [8] Murata T. Petri nets: Properties, Analysis and Applications. In Proceedings of the IEDD, Vol. 77, No.4, 1989, pp.541-580.
- [9] M.Leca. Contributii în Aplicarea Formalismului Retelelor Petri la Conducerea Sistemelor de Protectie si de Comanda din Electroenergetica. PhD thesis, Iasi 2003.
- [10] S.H.Unger. Asynchronous Sequential Switching Circuits. Wiley Interscience, New York, NY, 1969.